

19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

12 Offenlegungsschrift  
11 DE 3640363 A1

21 Aktenzeichen: P 36 40 363.6  
22 Anmeldetag: 26. 11. 86  
43 Offenlegungstag: 27. 8. 87

51 Int. Cl. 4:  
G11C 11/24  
H 01 L 27/04  
H 01 L 29/70  
H 01 L 29/78  
H 01 L 21/76  
H 01 L 21/88  
// H01L 21/306,  
21/268, 21/20, 21/265,  
29/40

Behördeneigentum

30 Unionspriorität: 32 33 31  
20.02.86 JP-P 35467/86

71 Anmelder:  
Kabushiki Kaisha Toshiba, Kawasaki, Kanagawa, JP

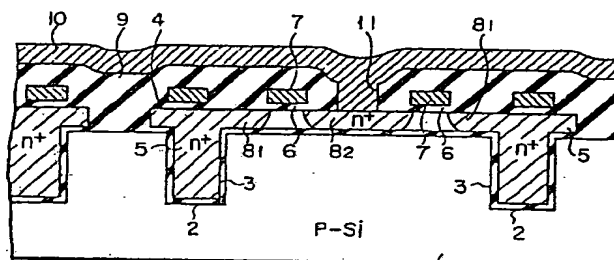
74 Vertreter:  
Henkel, G., Dr.phil.; Feiler, L., Dr.rer.nat.; Hänzeler, W.,  
Dipl.-Ing., Pat.-Anw., 8000 München

72 Erfinder:  
Wada, Masashi, Yokohama, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Dynamischer MOS-Randomspeicher

Beschrieben ist eine Speicherzelle eines dynamischen MOS-Randomspeichers bzw. dRAMs, wobei ein MOS-Transistor auf einer in Form einer Insel auf ein Siliziumsubstrat (1) aufgetragenen Siliziumschicht (4) unter Trennung durch eine thermische Oxidschicht (3) ausgebildet ist. Ein Kondensator ist dabei vom Gruben-Typ. Eine getrennte Kondensatorelektrode (5) ist unter Zwischenfügung der thermischen Oxidschicht (3) in eine in das Siliziumsubstrat (1) eingestochene Grube (2) eingebettet oder eingelassen. Die getrennte Kondensatorelektrode (5) steht dabei mit der Sourcezone (8<sub>1</sub>) des MOS-Transistors in Kontakt. Diese Kondensatorelektrode (5) wirkt dabei als unabhängiger oder getrennter Speicherknotenpunkt für jede (betroffene) Speicherzelle. Das Siliziumsubstrat (1) ist dabei als gemeinsame Kondensatorelektrode für die Anzahl von Speicherzellen vorgesehen.



DE 3640363 A1

DE 3640363 A1

## Patentansprüche

1. Dynamischer MOS-Randomspeicher, hergestellt durch Integration einer Anzahl von jeweils aus einem Kondensator und einem MOS-Transistor bestehenden Speicherzellen auf einem Halbleiter-Substrat, dadurch gekennzeichnet, daß das Substrat (1) als gemeinsame oder Sammel-Kondensatorelektrode für die Anzahl der Speicherzellen dient, der Kondensator eine getrennte Kondensatorelektrode (5) aufweist, die unter Zwischenfügung einer Kondensator-Isolierschicht (3) in eine in das Substrat (1) eingestochene Grube (trench) (2) eingelassen und als Speicherknotenpunkt zum Sammeln elektrischer Ladungen vorgesehen ist, und der MOS-Transistor eine auf das Substrat (1) in einem von diesem elektrisch getrennten Zustand aufgebrachte oder aufgedampfte und mit der getrennten Kondensatorelektrode (2) verbundene, inselförmige Halbleiterschicht (4), auf der Halbleiterschicht (4) erzeugte Source- und Drainzonen (8<sub>1</sub> bzw. 8<sub>2</sub>), eine auf dem zwischen Source- und Drainzonen (8<sub>1</sub> bzw. 8<sub>2</sub>) festgelegten Bereich der Halbleiterschicht (4) ausgebildete Gateisolierschicht (6) und eine auf letzterer montierte oder erzeugte Gateelektrode (7) aufweist.

2. Dynamischer MOS-Randomspeicher nach Anspruch 1, dadurch gekennzeichnet, daß die getrennte Kondensatorelektrode (5) und die Halbleiterschicht (4), auf welcher der MOS-Transistor ausgebildet ist, aus einer (material)einheitlich erzeugten Siliziumschicht (4) bestehen.

3. Dynamischer MOS-Randomspeicher nach Anspruch 1, dadurch gekennzeichnet, daß die Kondensator-Isolierschicht (3) durch thermisches Oxidieren des Substrats (1) gebildet ist und die Halbleiterschicht (4) durch eine (material)einheitlich mit der Kondensator-Isolierschicht (3) ausgebildete oxidierte Schicht vollständig vom Substrat (1) getrennt (isolated) ist.

4. Dynamischer MOS-Randomspeicher nach Anspruch 1, dadurch gekennzeichnet, daß die Kondensator-Isolierschicht (3) durch thermisches Oxidieren des Substrats (1) gebildet ist, der Hauptteil der Halbleiterschicht (4) durch eine (material)einheitlich mit der Kondensator-Isolierschicht (3) ausgebildete oxidierte Schicht vom Substrat (1) getrennt ist und Halbleiterschicht (4) und Substrat (1) über ein in der oxidierten Schicht unterhalb der Halbleiterschicht (4) der MOS-Transistorzone ausgebildetes (Kontakt-)Loch (12) miteinander verbunden sind.

5. Dynamischer MOS-Randomspeicher nach Anspruch 1, dadurch gekennzeichnet, daß die getrennte Kondensatorelektrode (5) aus einer ersten, in die Grube (2) eingelassenen Siliziumschicht (4<sub>1</sub>) gebildet ist und die Halbleiterschicht der MOS-Transistorzone aus einer zweiten Siliziumschicht (4<sub>2</sub>) besteht, welche die erste Siliziumschicht (4<sub>1</sub>) überlappend ausgebildet ist.

## Beschreibung

Die Erfindung betrifft einen dynamischen MOS-Randomspeicher (dRAM) mit einer aus einem Transistor

und einem Kondensator bestehenden Speicherzelle. Derzeit ist ein dynamischer Randomspeicher bzw. MOS-dRAM bekannt, bei dem eine Speicherzelle aus

einem Kondensator und einem MOS-Transistor besteht. Die Informationsspeicherung im dRAM erfolgt dabei in Abhängigkeit davon, ob der Kondensator elektrisch aufgeladen ist oder nicht. Das Auslesen der Information erfolgt durch Entladung der im Kondensator gespeicherten elektrischen Ladung über einen MOS-Transistor zu einer Bitleitung und Erfassen oder Messen von Potentialänderungen auf der Bitleitung. In den letzten Jahren konnte aufgrund der Fortschritte auf dem Gebiet der Halbleiterfertigungstechnik und insbesondere der Verbesserungen im Miniaturfertungsverfahren die Kapazität des dRAMs erheblich vergrößert werden. Ein großes Hindernis für eine weitere Vergrößerung der Kapazität des dRAMs besteht dabei in dem Verfahren (oder der Methode) zur Minimierung der Fläche einer Speicherzelle bei gleichzeitiger Vergrößerung der Zellenkapazität. Die Größe der während der Informationsauslesung aus dem dRAM auftretenden Potentialänderungen wird durch den Pegel (die Größe) der in einem MOS-Kondensator gespeicherten elektrischen Ladungen bestimmt. Das Mindestanforderungs für die gespeicherte elektrische Ladung ist im Hinblick auf einen für den Betrieb des dRAMs und für weiche Fehler vorgesehenen Spielraum festgelegt. Die Größe der gespeicherten elektrischen Ladung bestimmt sich durch die Kapazität des MOS-Kondensators und den Pegel der zugeführten Spannung oder Speisespannung, deren Pegel sich wiederum durch eine Stromquellenspannung bestimmt.

Für die Vergrößerung der Kapazität des MOS-Kondensators ist es nötig, die Dicke der Kondensator-Isolierschicht zu verkleinern oder eine Kondensator-Isolierschicht einer hohen Dielektrizitätskonstante vorzusehen oder die Kondensatorfläche zu vergrößern. Einer Verkleinerung der Dicke der Kondensator-Isolierschicht sind jedoch im Hinblick auf die Zuverlässigkeit des dRAMs Grenzen gesetzt. Die Verwendung von Si<sub>3</sub>N<sub>4</sub> anstelle von SiO<sub>2</sub> als Isolierschicht einer hohen Dielektrizitätskonstante könnte als möglich angesehen werden. Eine solche Maßnahme wirft aber Probleme auf, hauptsächlich bezüglich der Sicherstellung der Zuverlässigkeit des erhaltenen dRAMs, und sie wird deshalb als praktisch nicht günstig angesehen. Im Hinblick hierauf muß die erforderliche Zellenkapazität in erster Linie durch Vergrößerung der Fläche des MOS-Kondensators gewährleistet werden. Dieses Erfordernis wirft aber große Schwierigkeiten auf, d.h. bezüglich der Verkleinerung der Fläche einer Speicherzelle bei gleichzeitiger Realisierung der hohen Integrationsdichte des dRAMs.

Diesbezüglich ist bereits ein Verfahren entwickelt worden, das die Nutzung der Seitenwand (Flanke) einer in ein Halbleitersubstrat eingestochenen Grube oder Rille (trench) vorsieht, um damit eine Speicherzelle zu schaffen, bei welcher die Zellenkapazität des MOS-Kondensators vergrößert werden kann, ohne daß die Speicherzelle einen großen Teil der Fläche eines Chips einnimmt. Bei dem vorgeschlagenen Grubenoder Rillen-Kondensator ist im Substrat ein ladungssammelnder Knotenpunkt (node) ausgebildet. Eine auf das Substrat aufgebrachte Kondensatorelektrode dient dabei als gemeinsame oder Sammelelektrode für eine Anzahl von Speicherzellen. Die auf dem Substrat montierte Sammelelektrode wird als Zellenplatte bezeichnet und ist ausgelegt, um das Standardpotential (normalerweise Massepotential) zu halten. Der Gruben- oder Rillen-Kondensator unterscheidet sich diesbezüglich nicht vom Planarkondensator. Mit anderen Worten: der vor-

geschlagene Gruben- oder Rillen-Kondensator ist immer noch mit den Mängeln bezüglich weicher Fehler behaftet. Der Ausdruck "weiche Fehler" (soft errors) bezieht sich dabei auf eine Erscheinung, bei welcher  $\alpha$ -Teilchen, die z.B. von einer den dRAM-Chip enthaltenden Packung erzeugt werden, in das Chip-Substrat eingeschleppt werden und dabei zu einer Zerstörung der im Speicherelement gespeicherten Information führen. Die weichen Fehler verstärken sich mit verkleinerter Größe der Speicherzelle. In IEDM Digest of technical papers (1985), S. 696, Figure 7, ist eine Art eines dRAMs mit einer SOI(Silizium-auf-Isolator)-Struktur als Gegenmaßnahme für das Problem der weichen Fehler beschrieben. Ein Bauelement, das einfach durch Anbringung eines MOS-Transistors auf einem Substrat, von letzterem mittels einer Isolierschicht elektrisch getrennt, aufgebaut ist, vermag jedoch die genannten weichen Fehler nicht voll zu unterdrücken. Der Grund hierfür ist folgender:

Wenn der Gruben- oder Rillen-Kondensator und ein MOS-Transistor der genannten SOI-Struktur einfach zusammengesetzt werden, ist die Sourcezone eines auf einer Siliziumschicht montierten oder ausgebildeten MOS-Transistors elektrisch mit einer durch Diffusion im Substrat erzeugten Kondensatorelektrode verbunden. Die so gebildete Zone wirkt dabei als Speicherknotenpunkt. Mit anderen Worten: der Speicherknotenpunkt ist nicht einwandfrei vom Substrat getrennt.

Im Hinblick auf die geschilderten Gegebenheiten liegt damit der Erfindung die Aufgabe zugrunde, einen MOS-dRAM zu schaffen, der mittels einer einfachen Ausgestaltung eine Miniaturisierung einer Speicherzelle gewährleistet und der weiche Fehler sehr wirksam zu unterdrücken vermag.

Diese Aufgabe wird durch die im Patentanspruch 1 gekennzeichneten Merkmale gelöst.

Bei einer dRAM-Speicherzelle gemäß der Erfindung ist ein MOS-Transistor auf einer Halbleiterschicht in Form von Inseln, die durch eine Isolierschicht vom Substrat getrennt sind, ausgebildet. Der Kondensator ist dabei vom Gruben-Typ, und er ist durch Einbetten oder Einlassen einer Kondensatorelektrode in eine in ein Halbleitersubstrat eingestochene Grube oder Ausnehmung in einem mittels einer Isolierschicht vom Substrat isolierten oder getrennten Zustand ausgebildet. Die Punkte, in denen sich die erfindungsgemäße Speicherzelle wesentlich von der bisherigen Anordnung unterscheidet, sind folgende:

- 1) Das Halbleitersubstrat dient als gemeinsame Kondensatorelektrode für eine Anzahl von Speicherzellen;
- 2) die einzelnen, in die Grube oder Ausnehmung eingebetteten Kondensatorelektroden wirken als unabhängige oder getrennte Speicherknotenpunkte (memory nodes) für jede Speicherzelle; und
- 3) die einzelnen, in die Grube oder Ausnehmung eingebetteten Kondensatorelektroden und die Sourcezonen der auf der inselförmigen Halbleiterschicht ausgebildeten MOS-Transistoren sind elektrisch miteinander verbunden.

Tatsächlich sind die einzelnen oder getrennten Kondensatorelektroden und die inselförmigen Halbleiterschichten, in denen die Source- und Drainzonen von MOS-Transistoren ausgebildet sind, als einheitlicher Körper gefertigt.

Im folgenden sind bevorzugte Ausführungsformen

der Erfindung anhand der Zeichnung näher erläutert. Es zeigen:

Fig. 1A eine Aufsicht auf einen Hauptteil eines dynamischen Randomspeichers bzw. dRAMs gemäß einer Ausführungsform der Erfindung.

Fig. 1B einen Schnitt längs der Linie A-A' in Fig. 1A,

Fig. 1C eine perspektivische Darstellung des Hauptteils des dRAMs gemäß Fig. 1B, in welcher ein Al-Leiterzug und die darunter liegende Isolierschicht weggelassen sind,

Fig. 2A bis 2E Schnittansichten zur Verdeutlichung aufeinanderfolgender Schritte bei der Herstellung des dRAMs,

Fig. 3 eine Schnittansicht des Hauptteils eines dRAMs gemäß einer zweiten Ausführungsform der Erfindung,

Fig. 4 eine Schnittansicht des Hauptteils eines dRAMs gemäß einer dritten Ausführungsform der Erfindung,

Fig. 5A und 5B Schnittansichten zur Verdeutlichung aufeinanderfolgender Schritte bei der Herstellung eines dRAMs gemäß einer vierten Ausführungsform der Erfindung und

Fig. 6 eine Fig. 1C ähnelnde perspektivische Darstellung eines dRAMs gemäß einer fünften Ausführungsform der Erfindung.

Gemäß den Fig. 1A bis 1C sind in ein p-Typ-Siliziumsubstrat 1 an den Kondensatorzonen einer Anzahl von Speicherzellen zugewandten Stellen (jeweils) Gruben (trenches) 2 eingestochen. Als Kondensator-Isolierschichten und als Trennschichten zum elektrischen Trennen von MOS-Transistoren vom Substrat 1 sind thermisch erzeugte Oxidschichten 3 auf den Flächenabschnitten des Substrats 1 erzeugt, in denen die verschiedenen Gruben 2 ausgebildet sind. Mehrere inselförmige Siliziumschichten 4 sind auf die Teile des Substrats 1 aufgebracht, auf denen die thermischen Oxidschichten 3 erzeugt sind. Die jeweiligen inselförmigen Siliziumschichten 4 besitzen ein rechteckiges Muster, welches in der einen Richtung (je) zwei Gruben 2 überbrückt. Die in die Gruben 2 eingebetteten oder eingelassenen Abschnitte der betreffenden Siliziumschichten 4 dienen als  $n^+$ -Typ-Kondensatorelektroden 5. In jeder Siliziumschicht 4 ist ein MOS-Transistor ausgebildet, der aus einer  $n^+$ -Typ-Sourcezone 8<sub>1</sub>, einer  $n^+$ -(Typ)-Drainzone 8<sub>2</sub>, einer Gateisolierschicht 6, die auf dem zwischen Gate- und Drainzone 8<sub>1</sub> bzw. 8<sub>2</sub> liegenden Abschnitt der Siliziumschicht 4 ausgebildet ist, und einer auf der Gateisolierschicht 6 abgelagerten Gateelektrode 7 besteht. Bei dieser Ausführungsform ist die Gateisolierschicht 6 eine thermisch erzeugte Oxidschicht (thermal oxide layer). Wie aus Fig. 1B hervorgeht, besteht die Sourcezone 8<sub>1</sub> des MOS-Transistors aus einer (material)einheitlich mit einer getrennten Kondensatorelektrode 5 ausgebildeten  $n^+$ -Schicht. In einer inselförmigen Siliziumschicht 4 sind jeweils zwei Speicherzellen ausgebildet. Die Drainzone 8<sub>2</sub> des MOS-Transistors wird von den Speicherzellen gemeinsam benutzt. Die Gateelektroden 7 sind, die inselförmige(n) Siliziumschicht(en) 4 kreuzend, in Reihe angeordnet, so daß sie jeweils als Wortleitungen dienen.

Wie vorstehend beschrieben, kennzeichnet sich der erfindungsgemäße dRAM dadurch, daß MOS-Transistoren und getrennte Kondensatorelektroden 5 in inselförmigen Siliziumschichten 4 ausgebildet sind, die in elektrisch isoliertem oder getrenntem Zustand auf dem Substrat 1 abgelagert sind. Bei dieser Anordnung wirken die getrennten Kondensatorelektroden 5 jeweils als

getrennte Speicherknotenpunkte für jede Speicherzelle. Das Substrat 1 dient als gemeinsame oder Sammel-Kondensatorelektrode für alle Speicherzellen, nämlich als sog. Zellenplatte. Eine Isolierschicht 9 wird nach dem chemischen Aufdampfverfahren (CVD-Prozeß) auf das Substrat aufgebracht, auf dem auf vorher beschriebene Weise die MOS-Transistoren und die Kondensatoren montiert sind. Auf der Isolierschicht 9 wird ein Al-Leiterzug 10 ausgebildet, der über in der Isolierschicht 9 vorgesehene Kontaktlöcher 11 mit der jeweiligen Drainzone 8<sub>2</sub> verbunden ist und in einer der Wortleitungen unter einem rechten Winkel schneidenden Richtung verläuft. Diese Al-Leiterzüge 10 bilden Bitleitungen.

Im folgenden sind anhand der Fig. 2A bis 2E die aufeinanderfolgenden Schritte bei der Fertigung des erfindungsgemäßen dRAMs beschrieben. Die Fig. 2A bis 2E sind dabei der Fig. 1B entsprechende Schnittansichten.

Gemäß Fig. 2A werden zunächst nach dem an sich bekannten reaktiven Ionenätzverfahren (RIE-Prozeß) in den Kondensatorzonen des p-Siliziumsubstrats 1 Gruben 2 ausgebildet. Sodann wird gemäß Fig. 2B eine etwa 10 nm dicke, thermisch erzeugte Oxidschicht 3 auf den Bereichen des Substrats 1 erzeugt, in welche die Gruben 2 eingestochen sind. Anschließend wird eine polykristalline p- oder i-Typ-Siliziumschicht 4 auf das gesamte Gebilde aufgebracht. Die thermische Oxidschicht 3 soll dabei die polykristalline Siliziumschicht 4 elektrisch vom Substrat 1 trennen, und sie ist weiterhin als Kondensator-Isolierschicht vorgesehen. Im Anschluß daran wird gemäß Fig. 2C die Siliziumschicht 4 nach dem an sich bekannten PEP-Verfahren selektiv geätzt, um in eine Anzahl von Inseln unterteilt zu werden. Jede geteilte inselförmige Siliziumschicht 4 nimmt dabei eine rechteckige, zwei Gruben 2 überbrückende Form an (Fig. 1A). Später wird die Siliziumschicht 4 durch Laserstrahlglühen oder -altern in einen Einkristallkörper umgewandelt. Der Glüh- oder Alterungsvorgang kann durchgeführt werden, bevor die Siliziumschicht 4 in die Inselmuster unterteilt wird. Der Kondensatorerzeugungsbereich jeder Siliziumschicht 4, nämlich der Bereich oder die Zone, wo die Grube 2 vorhanden ist, wird mit einem Fremdatom dotiert. Durch diese Fremdatomdotierung wird eine n<sup>+</sup>-Kondensatorelektrode 5 eines niedrigen spezifischen Widerstands erhalten.

Danach wird gemäß Fig. 2D auf jeder inselförmigen Siliziumschicht 4 eine Gateisolierschicht 6 ausgebildet, wodurch eine aus einer polykristallinen Siliziumschicht bestehende Gateelektrode 7 gebildet wird. Beim vorliegenden Ausführungsbeispiel ist die Gateisolierschicht 6 eine thermische Oxidschicht einer Dicke von etwa 10 nm. Wie aus den Fig. 1A bis 1C hervorgeht, erstreckt sich eine Reihe von Gateelektroden 7 quer über die inselförmigen Siliziumschichten 4. Als nächstes werden eine n<sup>+</sup>-Sourcezone 8<sub>1</sub> und eine Drainzone 8<sub>2</sub> durch Ionenimplantation eines Fremdatoms unter Heranziehung der Gateelektrode 5 als Maske ausgebildet. In diesem Fall wird die Sourcezone 8<sub>1</sub> als mit der Kondensatorelektrode 5 (material) einheitliche n<sup>+</sup>-Schicht erzeugt. Sodann wird gemäß Fig. 2E die Isolierschicht 9 nach dem CVD-Prozeß auf das gesamte Gebilde aufgedampft, und in der Isolierschicht 9 wird ein Kontaktloch 11 ausgebildet. Schließlich wird der als Bitleitung dienende Al-Leiterzug 10 auf die Isolierschicht 9 aufgebracht.

Der dRAM gemäß der beschriebenen Ausführungsform kennzeichnet sich dadurch, daß die Seitenwand der Grube als Kondensator genutzt wird, wodurch eine gro-

ße Kapazität bei einer kleinen Zellenfläche gewährleistet wird. Diesbezüglich besitzt die erfindungsgemäße Anordnung dieselbe Zellenkapazität wie der bisherige Gruben- oder Rillenkondensator. Der erfindungsgemäße dRAM unterscheidet sich jedoch vom herkömmlichen, mit einem Gruben- oder Rillenkondensator versehenen dRAM dadurch, daß die Kondensatorelektrode in einer Richtung engengesetzt zu derjenigen vorgesehen ist, in welcher die Elektrode beim bisherigen dRAM ausgebildet (operated) ist. Der erfindungsgemäße dRAM kennzeichnet sich nämlich dadurch, daß das Substrat 1 als gemeinsame Kondensatorelektrode (Zellenplatte) für alle Speicherzellen wirkt. Außerdem sind dabei die MOS-Transistoren der jeweiligen Speicherzellen und die Kondensatorelektroden 5, die mit den Sourcezonen der MOS-Transistoren verbunden sind und als Speicherknotenpunkte wirken, auf der Siliziumschicht 4 so ausgebildet, daß sie durch die Oxidschicht 3 gegenüber dem Substrat 1 vollständig elektrisch isoliert bzw. getrennt sind. Beim dRAM gemäß dieser Ausführungsform wird die Informationsladung in der jeweiligen, in jede Gruppe 2 eingebetteten Kondensatorelektrode 5 gespeichert. Falls daher aufgrund des Einfließens von  $\alpha$ -Teilchen eine elektrische Ladung im Substrat 1 erzeugt werden sollte, wird ein Einschleppen dieser Ladung in die als Speicherknotenpunkt wirkende Kondensatorelektrode 5 verhindert. Der erfindungsgemäße dRAM ist somit sicher vor dem Auftreten weicher Fehler geschützt.

Falls nur derselbe Freiheitsgrad bezüglich weicher Fehler gewährleistet werden muß, wie er beim bisherigen dRAM erzielt werden kann, können erfindungsgemäß die Gruben 2 der Kondensatorzone mit einer geringeren Tiefe eingestochen werden als dies bisher nötig war. Hierdurch wird ein nennenswerter Fertigungsvorteil im Vergleich zu dem Fall, in welchem eine tiefe Grube eines äußerst kleinen Durchmessers ausgebildet werden muß, gewährleistet.

Der erfindungsgemäße dRAM kennzeichnet sich auch dadurch, daß ein Speicherknotenpunkt in einer unter Zwischenfügung einer Isolierschicht auf dem Substrat abgelagerten inselförmigen Siliziumschicht erzeugt ist, wodurch eine elektrische Isolierung oder Trennung zwischen den Speicherzellen gewährleistet wird. Im Gegensatz dazu weist der bisherige dRAM den Nachteil auf, daß es deshalb, weil ein Speicherknotenpunkt in einem Halbleitersubstrat gebildet ist, erforderlich ist, eine dicke Feldisolierschicht oder eine als Kanalstopper wirkende Fremdatom-Diffusionsschicht vorzusehen, um eine Trennung zwischen den Speicherzellen zu gewährleisten. Erfindungsgemäß kann dagegen auf alle diese Maßnahmen verzichtet werden.

Bei der beschriebenen Ausführungsform ist die Siliziumschicht 4 unter vollständiger Trennung vom Substrat auf dieses aufgetragen, beispielsweise aufgedampft. Falls jedoch eine polykristalline Siliziumschicht durch Laserglühen in eine Einkristallmasse umgewandelt wird, empfiehlt es sich, einen Teil der polykristallinen Siliziumschicht das Einkristall-Siliziumsubstrat kontaktieren zu lassen. Dies beruht darauf, daß der Kontaktbereich als Keim für das Kristallwachstum beim Laserglühen dient.

Fig. 3 ist eine Fig. 1B entsprechende Schnittansicht eines dRAMs gemäß einer zweiten Ausführungsform der Erfindung. Die den Teilen von Fig. 1 entsprechenden Teile von Fig. 3 sind dabei mit denselben Bezugsziffern wie vorher bezeichnet und demzufolge nicht mehr im einzelnen erläutert. Wie aus Fig. 3 hervorgeht, kenn-

zeichnet sich der dRAM gemäß der zweiten Ausführungsform dadurch, daß in den Teilen der unter der Siliziumschicht 4 befindlichen thermischen Oxidschicht 3, in welchen die Gateelektroden 7 der MOS-Transistoren vorgesehen werden sollen, Löcher 12 ausgebildet sind. Die Siliziumschicht 4 kontaktiert das Substrat 1 durch diese Löcher 12 hindurch.

Die Ausführungsform gemäß Fig. 3 bietet den Vorteil, daß die aufgebrachte oder aufgedampfte Siliziumschicht durch Glühen (oder Altern) mittels Laserstrahlen in eine Einkristallmasse einer höheren Güte als bei der ersten Ausführungsform umgewandelt wird, so daß ein Schalt-MOS-Transistor ausgezeichneter Eigenschaften erhalten wird. Die Tatsache, daß die Siliziumschicht 4 das Substrat 1 unter der Gateelektrode 7 kontaktiert, hat keinen nachteiligen Einfluß auf die Eigenschaften des Bauelements. Dies ist darauf zurückzuführen, daß der Stromkanal des MOS-Transistors im Oberflächenbereich der Siliziumschicht 4 gebildet ist und die Teile der Siliziumschicht 4, welche das Substrat 1 durch die Löcher 12 kontaktieren, nur einen geringen Einfluß auf den Betrieb oder die Arbeitsweise des Transistors haben. Wenn weiterhin die Siliziumschicht 4 vom p- oder i-Typ ist, zeigt der Streustrom im Kondensator keine Tendenz zu einer Erholung, solange die n<sup>+</sup>-Sourcezone 8, das Substrat 1 am Loch 12 nicht kontaktiert. Bei der zuerst beschriebenen Ausführungsform ist der Substratbereich des MOS-Transistors vollständig vom freischwebenden oder Floating-Typ. Dagegen sind bei der zweiten Ausführungsform der Substratbereich des MOS-Transistors und das Substrat 1 auf ein festes Potential gesetzt. Dies ist für die Stabilisierung der Eigenschaften eines MOS-Transistors vorteilhaft.

Fig. 4 veranschaulicht im Schnitt einen dRAM gemäß einer dritten Ausführungsform der Erfindung, die sich von derjenigen nach Fig. 3 dadurch unterscheidet, daß ein Loch 13 in dem unter der Drainzone 8<sub>2</sub> liegenden Teil des MOS-Transistors ausgebildet ist. In diesem Fall verteilt sich ein in die Drainzone 8<sub>2</sub> eindiffundiertes Fremdatom etwas über die Oberfläche des Substrats 1, um eine n-Typ-Schicht 14 zu bilden. Die Ausführungsform gemäß Fig. 4 gewährleistet dieselbe Wirkung wie die zweite Ausführungsform nach Fig. 3.

Bei allen beschriebenen Ausführungsformen werden die in die Gruben eingebetteten oder eingelassenen Kondensatorelektroden und die Siliziumschicht, auf welcher ein MOS-Transistor erzeugt wird, aus derselben, in einem einzigen Schritt des CVD-Prozesses erzeugten Schicht ausgebildet. Diese Schicht kann jedoch auch in zwei Schritten erzeugt werden.

Die Fig. 5A und 5B sind Schnittansichten eines dRAMs gemäß einer vierten Ausführungsform der Erfindung. Gemäß Fig. 5A sind im Siliziumsubstrat 1 Gruben 2 ausgebildet. Nach der Erzeugung der Oxidschicht 3 wird eine erste, stark mit einem Fremdatom dotierte polykristalline n<sup>+</sup>-Typ-Siliziumschicht 4<sub>1</sub> nur in die Gruben 2 eingelassen. Dies kann beispielsweise dadurch erzielt werden, daß die Siliziumschicht 4, wie in Fig. 2B gezeigt, mit einer flachen Oberfläche abgelagert bzw. aufgedampft, sodann die Gesamtfläche der Siliziumschicht 4 bis zur Freilegung der Oxidschicht 3 weggeätzt und anschließend mit einem Fremdatom dotiert wird. Gemäß Fig. 5B wird später eine zweite polykristalline Schicht 4<sub>2</sub> auf die gesamte Anordnung aufgebracht. Die zweite polykristalline Siliziumschicht 4<sub>2</sub> wird zu einem inselförmigen Muster geformt, so daß dasselbe Gebilde wie in Fig. 2C erhalten werden kann. Der dRAM kann anschließend mit denselben Fertigungsschritten wie bei

den vorher beschriebenen Ausführungsbeispielen hergestellt werden. Die vierte Ausführungsform kennzeichnet sich dadurch, daß die in die Gruben 2 eingelassenen Kondensatorelektroden einen zufriedenstellend niedrigen Widerstand besitzen.

Bei allen beschriebenen Ausführungsformen ist die Siliziumschicht vom Substrat nur durch eine dünne thermische Oxidschicht getrennt. Die die inselförmigen Siliziumschichten kreuzenden Gateelektroden sind daher dem Substrat zwischen den inselförmigen Siliziumschichten unter Zwischenfügung einer dünnen thermischen Oxidschicht zugewandt. Infolgedessen besitzt die Gateelektrode, nämlich die Wortleitung, eine große Floating-Kapazität. Zur Verminderung der letzteren empfiehlt es sich, eine Isolierschicht in die zwischen den inselförmigen Siliziumschichten befindlichen Bereiche einzulassen.

Fig. 6 ist eine Fig. 1C entsprechende perspektivische Darstellung des dRAMs gemäß einer fünften Ausführungsform der Erfindung. Das Gebilde gemäß Fig. 6 kann dadurch erhalten werden, daß zunächst die Siliziumschicht 4 zu Inseln geformt wird, wobei durch Rückätztechnik (etch-back technique) eine chemisch aufgedampfte oder CVD-Isolierschicht 15 zwischen die inselförmigen Siliziumschichten eingelassen wird. Die Anordnung gemäß Fig. 6 bietet den Vorteil, daß nicht nur die Floating-Kapazität der Gateelektrode 7, wie erwähnt, verringert ist, sondern auch das Substrat vor der Erzeugung der Gateelektroden 7 eine flache Oberfläche besitzt, wodurch ein Bruch der Gateelektroden 7 an abgestuften Abschnitten vermieden und ein erhöhter Widerstand erzielt wird, während weiterhin eine höhere Präzision bei der Musterung der Gateelektroden 7 gewährleistet wird.

Bei allen beschriebenen Ausführungsformen werden eine getrennte Kondensatorelektrode und eine Halbleiterschicht eines MOS-Transistors aus einer polykristallinen Siliziumschicht erzeugt, nachdem diese in eine Einkristallschicht umgewandelt worden ist. Die polykristalline Siliziumschicht kann jedoch auch durch eine amorphe Siliziumschicht ersetzt werden.

3640363

Nummer:  
Int. Cl.4:  
Anmeldetag:  
Offenlegungstag:

36 40 363  
G 11 C 11/24  
26. November 1986  
27. August 1987

FIG. 1A

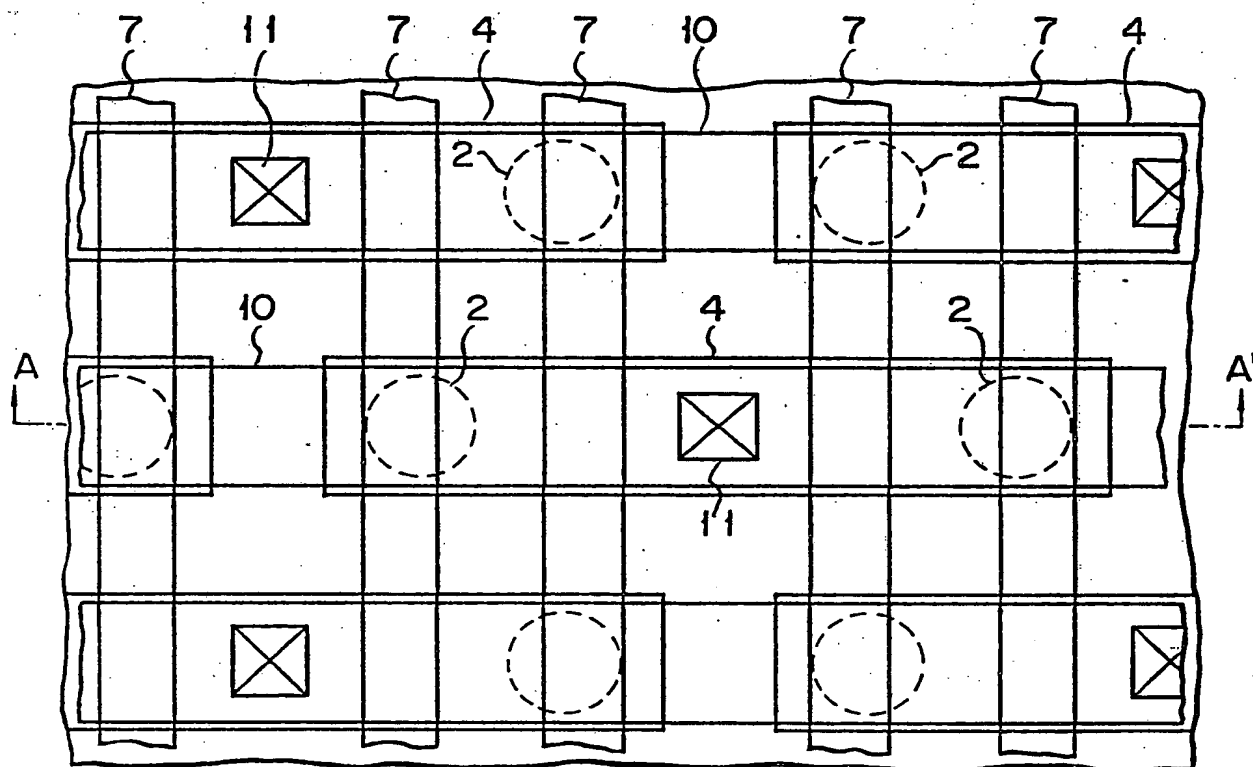
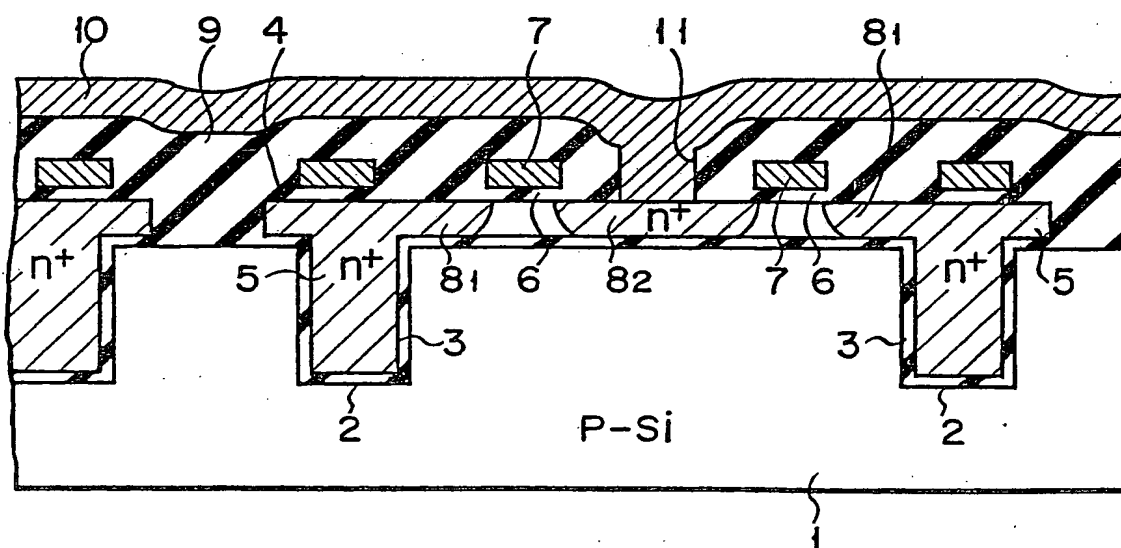


FIG. 1B



16-17

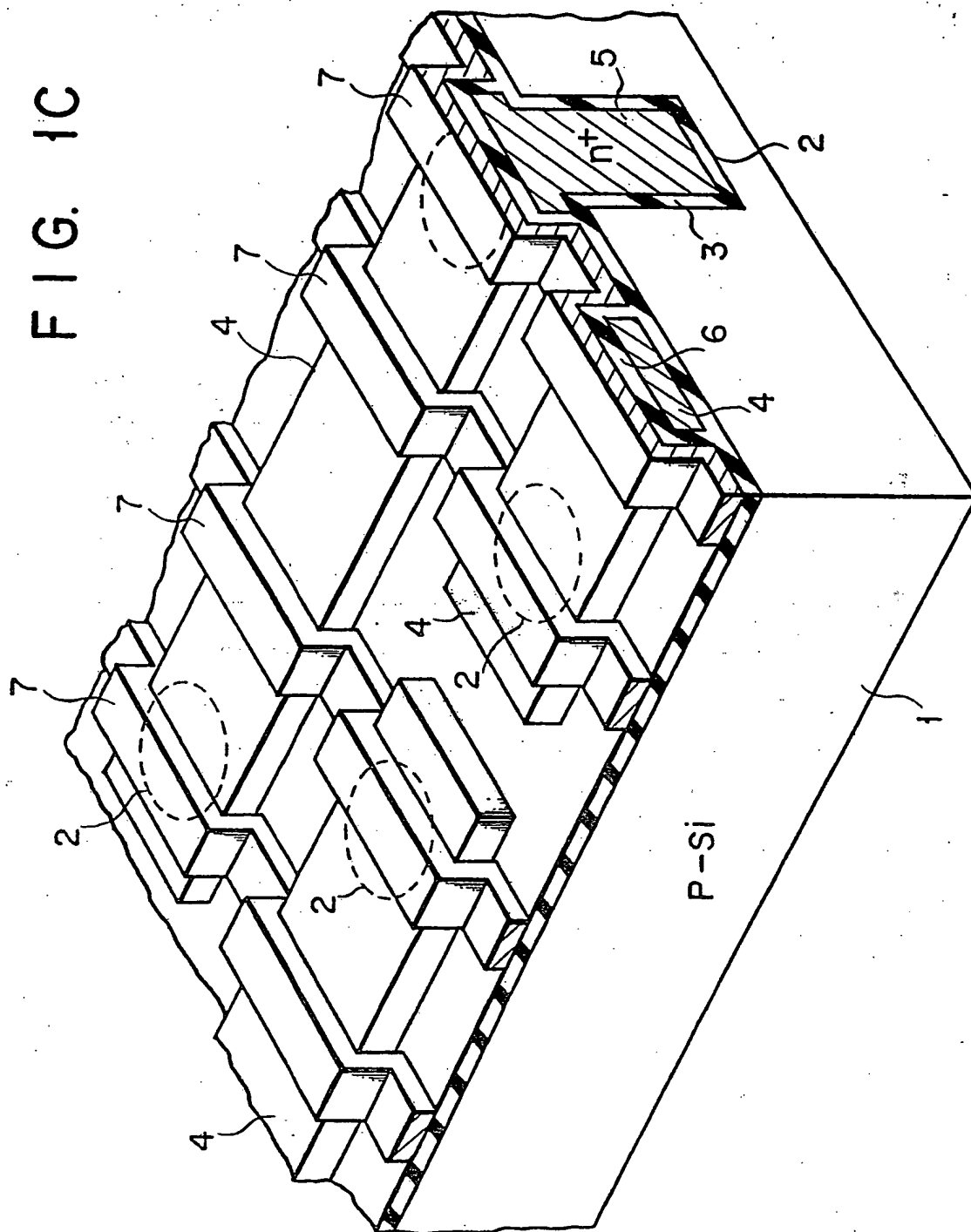


FIG. 2A

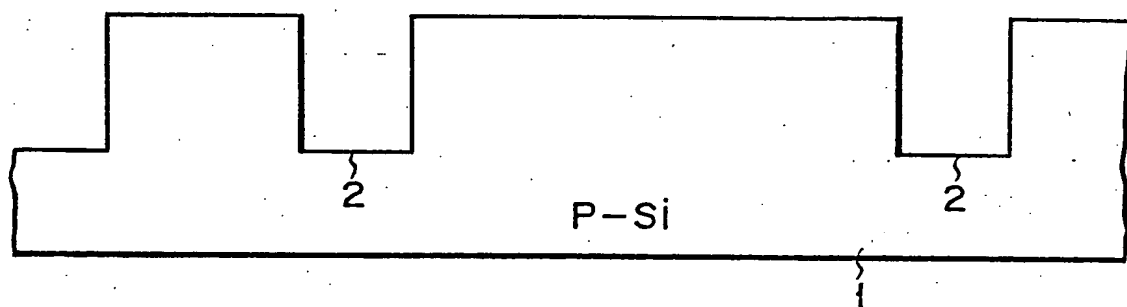


FIG. 2B

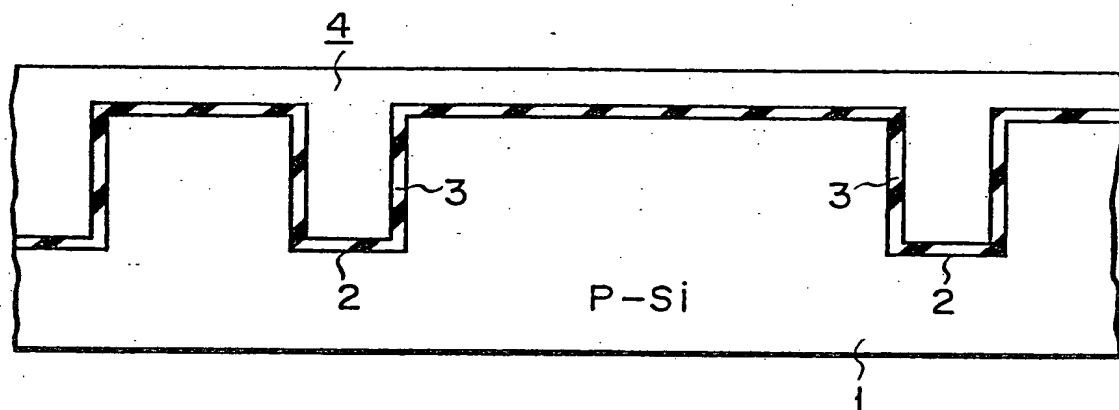


FIG. 2C

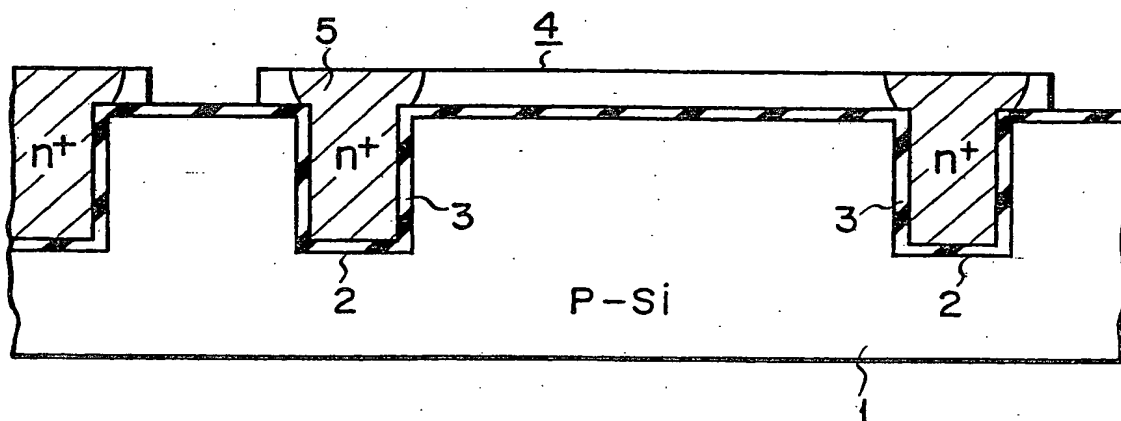




FIG. 2D

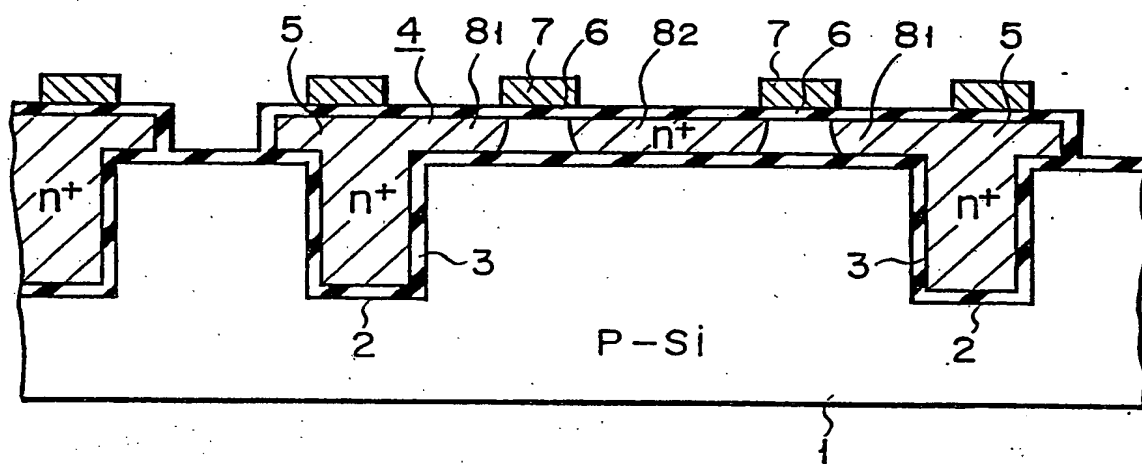


FIG. 2E

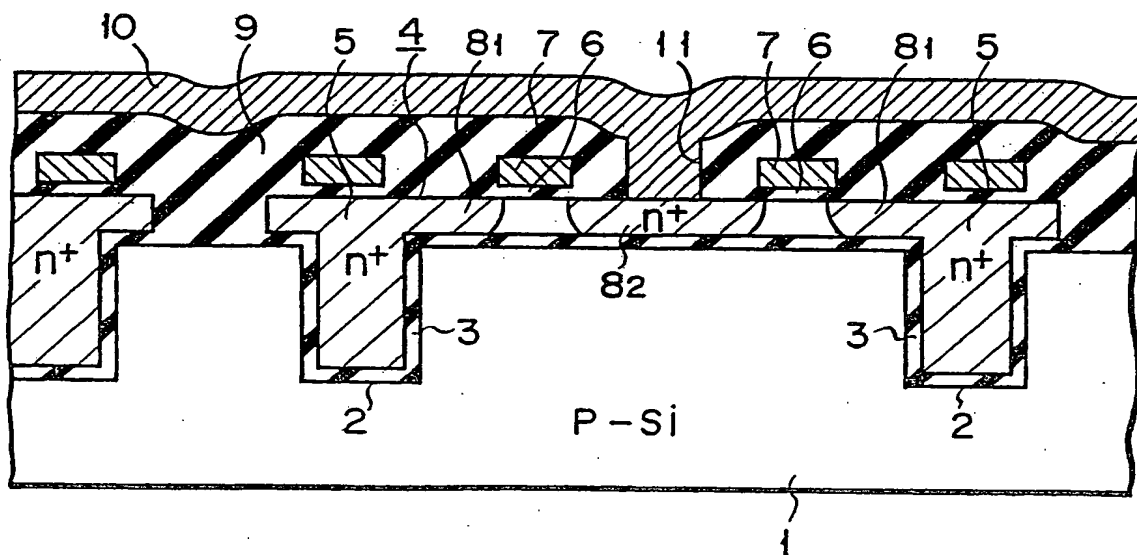


FIG. 3

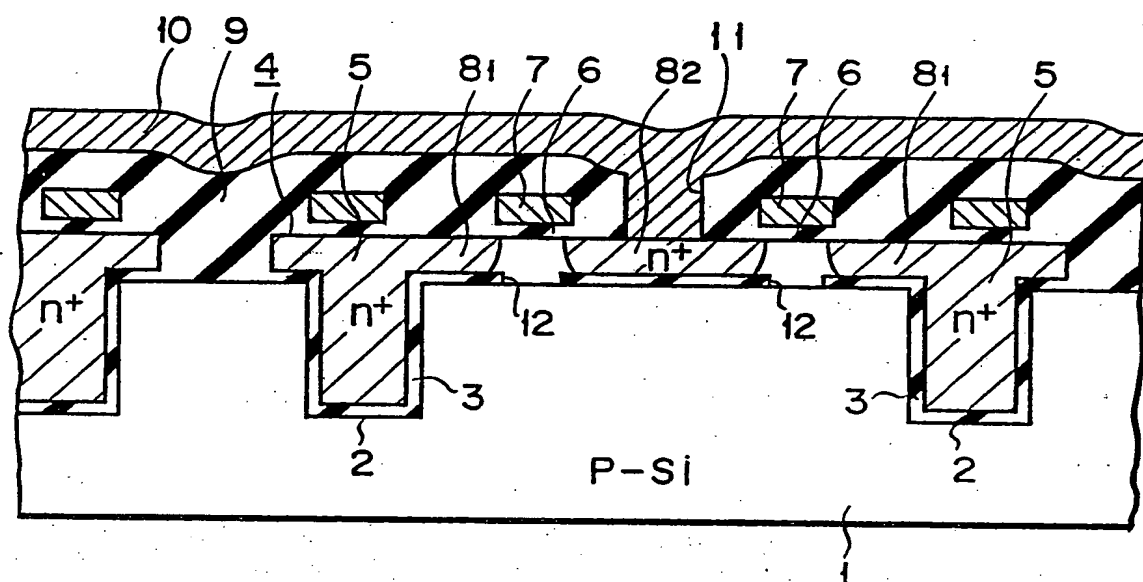


FIG. 4

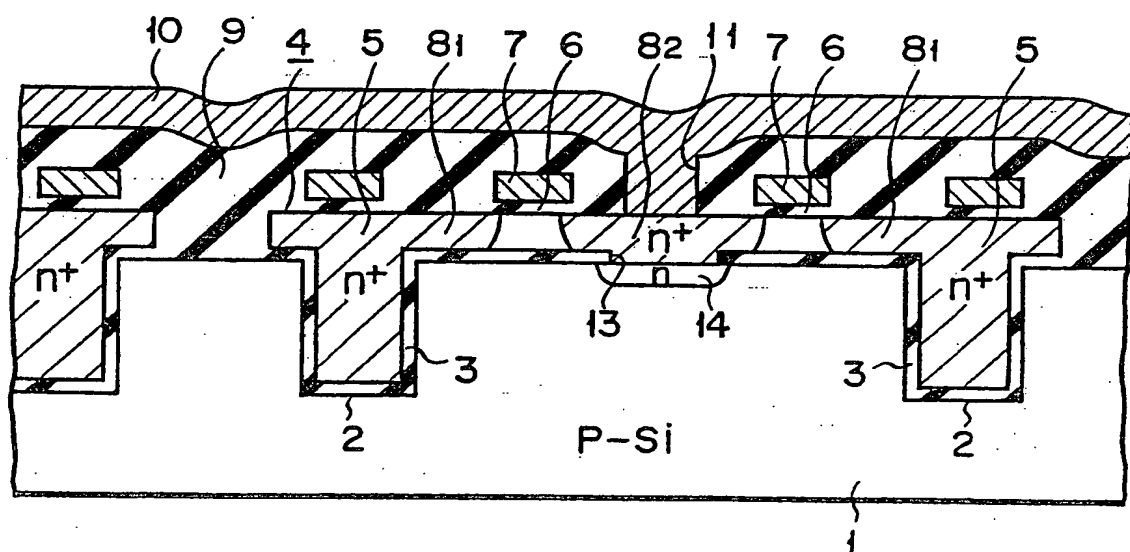


FIG. 5A

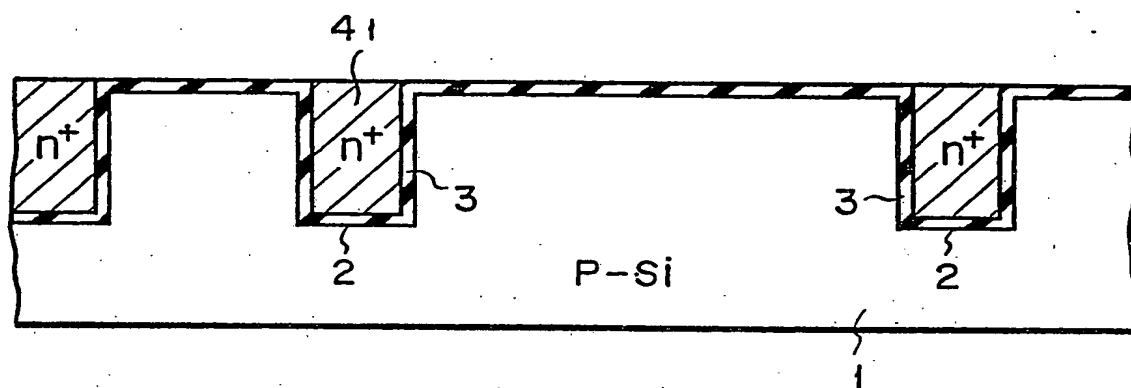


FIG. 5B

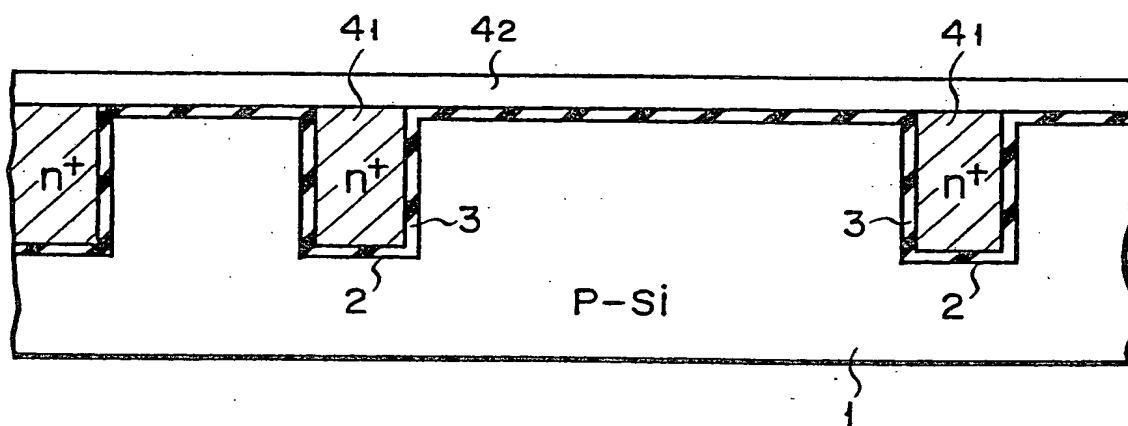


FIG. 6

